

517,493

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年11 月11 日 (11.11.2004)

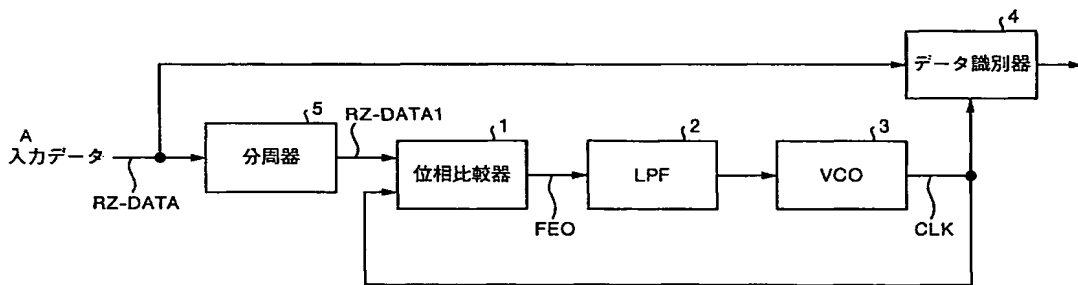
PCT

(10) 国際公開番号  
WO 2004/098120 A1

- (51) 国際特許分類<sup>7</sup>: H04L 7/033, H03L 7/08 (JP). 田上 仁之 (TAGAMI, Hitoyuki) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/005584
- (22) 国際出願日: 2003 年5 月1 日 (01.05.2003) (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒100-0013 東京都千代田区霞が関三丁目2番6号東京倶楽部ビルディング Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (81) 指定国 (国内): CN, JP, US.
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- 添付公開書類:  
— 国際調査報告書
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 戸塚 洋史 (TOKU, Hirofumi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号三菱電機株式会社内 Tokyo
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: CLOCK DATA RECOVERY CIRCUIT

(54) 発明の名称: クロックデータリカバリー回路



A...INPUT DATA  
5...DIVIDER

1...PHASE COMPARATOR  
4...DATA IDENTIFICATION SECTION

(57) Abstract: A divider divides input data to generate divided input data. A phase comparator detects a phase difference between a clock generated by a voltage control oscillator and the divided input data and generates a phase difference signal to eliminate the phase difference detected. The voltage control oscillator generates the clock by adjusting the oscillation frequency according to the phase difference signal. A data identification section identifies the input data by using the clock generated by the voltage control oscillator.

(57) 要約: 分周器は、入力データを分周して分周入力データを生成し、位相比較器は、電圧制御発振器が生成したクロックと分周入力データとの位相差を検出して、検出した位相差を無くするための位相差信号を生成し、電圧制御発振器は、位相差信号に基づいて発振周波数を調整してクロックを生成し、データ識別器は、電圧制御発振器が生成したクロックを用いて、入力データを識別する

WO 2004/098120 A1

PTO 10 DEC 2004  
1

## 明 細 書

## クロックデータリカバリー回路

## 5 技術分野

この発明は、通信システム等に用いられるクロックデータリカバリー回路に関するものであり、詳細には、リターン・トゥ・ゼロ（RZ：Return-to-Zero）データに基づいてクロックを生成し、データの識別を行うクロックデータリカバリー回路に関するものである。

10

## 背景技術

第13図は、たとえば、A. Pottbäcker他「A Si Bipolar Phase and Frequency Detector IC for Clock Extraction up to 8Gb/s」（IEEE Journal of Solid State Circuits, vol. SC-27 pp1747-1751 (1992)）に示されているノン・リターン・トゥ・ゼロ（NRZ：Non Return-to-Zero）データ用の従来のクロックデータリカバリー回路の構成を示すブロック図である。

第13図に示した従来のクロックデータリカバリー回路は、位相比較器100と、ローパスフィルタ（以下LPFとする）200と、電圧制御発振器（以下VCOとする）300と、データ識別器400とを備えている。

20 位相比較器100は、入力データDINとVCO300で生成されたクロックCLK1との位相を比較して、これら2つの信号の位相差を検出する。そして、検出した位相差をアナログ値で示した位相差信号FEO1をLPF200に出力する。LPF200は、位相差信号FEO1の高周波成分を除去して平滑化した電圧制御信号をVCO300に出力する。VCO300は、電圧制御信号に基づいて発振周波数を調整してクロックCLK1を生成し、生成したクロックCLK1を位相比較器100とデータ識別器400とに出力する。データ識別器400は、VCO300で生成されたクロックCLK1に基づいて入力データDINが

25

“0”であるのか“1”であるのかを識別する。

第14図は、第13図に示した位相比較器100の構成を示すブロック図である。位相比較器100は、第1のサンプル・ホールド回路110と、第2のサンプル・ホールド回路120と、セクタ130とを備えている。

5 第1のサンプル・ホールド回路110は、入力データDINが“H”の期間クロックCLK1の電圧値をサンプリングし、入力データDINの立下りでクロックCLK1の電圧値をホールドする。

第2のサンプル・ホールド回路120は、入力データDINが“L”の期間クロックCLK1の電圧値をサンプリングし、入力データDINの立ち上がりでクロックCLK1の電圧値をホールドする。

10 セクタ130は、入力データDINが“H”の場合には第2のサンプル・ホールド回路120の出力SHO2を、入力データDINが“L”の場合には第1のサンプル・ホールド回路110の出力SHO1を選択し、選択した信号を位相差信号FEO1として出力する。

15 つぎに、従来のクロックデータリカバリ回路の動作を説明する。まず、第15図のタイミングチャートを参照して、位相比較器100の動作を説明する。第15図のタイミングチャートは、VCO300が生成したクロックCLK1の位相が入力データDINの位相よりも早い場合を示している。また、入力データDINは、NRZデータで“H”、“L”、“L”、“H”、“L”、“H”、すなわち“1”、“0”、“0”、“1”、“0”、“1”の順に入力されている。

20 入力データDINが“L”から“H”に変化すると、第1のサンプル・ホールド回路110は、クロックCLK1の電圧値のサンプリングを開始する。また、第2のサンプル・ホールド回路120は入力データDINの立ち上がりの瞬間のクロックCLK1の電圧値をホールドする。そして、入力データDINが“H”  
25 の期間、セクタ130は、第2のサンプル・ホールド回路120の出力SHO2を選択して、選択した第2のサンプル・ホールド回路120の出力SHO2を位相差信号FEO1として出力する。

入力データDINが“H”から“L”に変化すると、第1のサンプル・ホールド回路110は入力データDINの立下りの瞬間のクロックCLK1の電圧値をホールドし、第2のサンプル・ホールド回路120はクロックCLK1の電圧値のサンプリングを開始する。そして、入力データDINが“L”の期間、セレクト130は、第1のサンプル・ホールド回路110の出力SHO1を選択して、  
5 選択した第1のサンプル・ホールド回路110出力SHO1を位相差信号FEO1として出力する。

このように位相比較器100は、入力データDINの変化点（立ち上がりと立下り）で入力データDINとクロックCLK1の立ち上がりとの位相差を検出して、  
10 検出した位相差の情報をアナログ値で示した位相差信号FEO1として出力する。

つぎに、従来のクロックデータリカバリー回路の動作を説明する。位相比較器100は、上述したように入力データDINとVCO300で生成されたクロック1との位相を比較して、これら2つの信号の位相差を検出する。そして、  
15 検出した位相差をアナログ値とした位相差信号FEO1をLPF200に出力する。

LPF200は、位相差信号FEO1の高周波成分を除去して平滑化した電圧制御信号をVCO300に出力する。VCO300は、電圧制御信号に基づいて発振周波数を調整してクロックCLK1を生成する。すなわち、位相比較器100において検出した入力データDINの変化点とクロックCLK1の立ち上がりとの位相差に基づいて発振周波数を調整することで、入力データDINとクロックCLK1の立ち上がりの位相を合わせこむ。VCO300は、生成したクロックCLK1を位相比較器100とデータ識別器400とに出力する。  
20

データ識別器400は、クロックCLK1の立下りで入力データDINが“1”であるのか“0”であるのかを識別する。そして、識別したデータを識別データとして出力する。位相比較器100とデータ識別器400とに入力される入力データDIN信号は同一信号であるので、電圧制御信号に基づいて発振周波数を調整して生成されたクロックCLK1の立下り位相は、データ識別器400に入  
25

力される入力データD I Nのビット中央の位相と一致している。したがって、データ識別器4 0 0は、第1 6 図（a）に示すように、クロックC L K 1の立下りで入力データD I Nを識別すれば、入力データD I Nの最適識別点となるビット中央で入力データD I Nを識別することができる。

5.       しかしながら、通信システムで扱う入力データはN R Zデータとは限らない。ここで、上記従来技術のクロックデータリカバリー回路の入力データにR Zデータを入力したとする。第1 7 図のタイミングチャートを参照して、入力データD I NにR Zデータを入力した場合の位相比較器1 0 0の動作を説明する。

- 10       第1 7 図のタイミングチャートにおいても、上述した入力データD I NにN R Zデータを用いた場合と同様に、V C O 3 0 0が生成したクロックC L K 1の位相が入力データD I Nの位相よりも早くなっており、入力データD I NにはR Zデータで“1 0 0 1 0 1”が入力されているものとする。

- 15       入力データD I Nが“L”から“H”に変化すると、第1のサンプル・ホールド回路1 1 0は、クロックC L K 1の電圧値のサンプリングを開始し、第2のサンプル・ホールド回路1 2 0は入力データD I Nの立ち上がりの瞬間のクロックC L K 1の電圧値をホールドする。そして、入力データD I Nが“H”の期間、セクタ1 3 0は、第2のサンプル・ホールド回路1 2 0の出力S H O 2を選択して、選択した第2のサンプル・ホールド回路1 2 0の出力S H O 2を位相差信号F E O 1として出力する。

- 20       入力データD I Nが“H”から“L”に変化すると、第1のサンプル・ホールド回路1 1 0は入力データD I Nの立下りの瞬間のクロックC L K 1の電圧値をホールドし、第2のサンプル・ホールド回路1 2 0はクロックC L K 1の電圧値のサンプリングを開始する。そして、入力データD I Nが“L”の期間、セクタ1 3 0は、第1のサンプル・ホールド回路1 1 0の出力S H O 1を選択して、  
25       選択した第1のサンプル・ホールド回路1 1 0出力S H O 1を位相差信号F E O 1として出力する。

V C O 3 0 0で生成されたクロックC L K 1の位相が入力データD I Nの位相

よりも早くなっているため、入力データD I Nが“H”から“L”に変化した場合、第17図に示すように、入力データD I Nの立下りの瞬間のクロックC L K 1は“H”のままである。そのため、第1のサンプル・ホールド回路110の出力S H O 1と第2のサンプル・ホールド回路120の出力S H O 2とが異なる値となる。

本来、入力データD I NとクロックC L K 1とが固定した位相関係にある場合には、位相比較器100の出力である位相差信号F E O 1も固定されていなければならない。

しかしながら、上記従来技術のクロックデータリカバリー回路にR Zデータを入力した場合、第17図において一点鎖線で示した望まれる位相差信号F E O 1の値と実際にセクタ130が出力する位相差信号F E O 1とにずれが生じてしまう。

また、V C O 300で生成されたクロックC L K 1の位相が入力データD I Nの位相よりも早くなっている場合、位相差信号F E O 1のずれは、入力データD I Nが“L”の期間継続する。すなわち、位相差信号F E O 1のずれの期間は、入力データD I Nに依存して変化する。

このように上記従来技術のクロックデータリカバリー回路にR Zデータを入力した場合、データを識別するクロックを生成するための位相差信号にずれが生じるとともに、そのずれの期間が入力データに依存しているため、データを識別するクロックの位相が揺らいでしまい、入力データを正確に識別することができないという問題がある。

本発明は、上記に鑑みてなされたものであって、R Zデータの入力データを安定して識別することができるクロックデータリカバリー回路を提供することを目

## 発明の開示

本発明にかかるクロックデータリカバリー回路にあつては、電圧制御発振器が

生成したクロックに基づいて入力データを識別するデータ識別器と、  
前記入力データを分周する分周器と、前記電圧制御発振器が生成したクロックと  
前記分周器において分周された入力データとの位相差を検出して、該検出した位  
相差を無くすための位相差信号を生成する位相比較器と、前記位相差信号に基づ  
5 いて発振周波数を調整して前記クロックを生成して、前記データ識別器と前記位  
相比較器とに出力する前記電圧制御発振器とを備えることを特徴とする。

この発明によれば、分周した入力データと生成したクロックとの位相を比較し  
て位相差を検出し、検出した位相差を無くすための位相差信号に基づいて発振周  
波数を調整して入力データの位相に合わせたクロックを生成し、生成したクロッ  
10 クに基づいて入力データを識別するようにしている。

#### 図面の簡単な説明

第1図は、この発明における実施の形態1のクロックデータリカバリー回路の  
構成を示すブロック図であり、第2図は、第1図に示した位相比較器の構成を示  
15 すブロック図であり、第3図は、この発明における実施の形態1のクロックデー  
タリカバリー回路の動作を説明するためのタイミングチャートであり、第4図は、  
この発明における実施の形態2のクロックデータリカバリー回路の構成を示すブ  
ロック図であり、第5図は、この発明における実施の形態2のデータリカバリー  
回路の動作を説明するためのタイミングチャートであり、第6図は、この発明に  
20 における実施の形態3のクロックデータリカバリー回路の構成を示す図であり、第  
7図は、この発明における実施の形態3のクロックデータリカバリー回路の動作  
を説明するためのタイミングチャートであり、第8図は、この発明における実施  
の形態4のクロックデータリカバリー回路の構成を示すブロック図であり、第9  
図は、この発明における実施の形態4のデータリカバリー回路の動作を説明する  
25 ためのタイミングチャートであり、第10図は、この発明における実施の形態5  
のデータリカバリー回路の構成を示すブロック図であり、第11図は、この発明  
における実施の形態6のクロックデータリカバリー回路の構成を示すブロック図

であり、第12図は、この発明における実施の形態6のクロックデータリカバリ回路の動作を説明するためのタイミングチャートであり、第13図は、従来のクロックデータリカバリ回路の構成を示すブロック図であり、第14図は、第13図に示した位相比較器の構成を示すブロック図であり、第15図は、従来のクロックデータリカバリ回路の動作を説明するためのタイミングチャートであり、第16図は、データとクロックの位相関係を示す図であり、第17図は、従来のクロックデータリカバリ回路の動作を説明するためのタイミングチャートである。

#### 10 発明を実施するための最良の形態

本発明をより詳細に説術するために、添付の図面に従ってこれを説明する。  
実施の形態1.

第1図～第3図を用いて、この発明の実施の形態1を説明する。第1図は、この発明における実施の形態1のクロックデータリカバリ回路の構成を示すブロック図である。この発明における実施の形態1のクロックデータリカバリ回路は、位相比較器1と、ローパスフィルタ（以下LPFとする）2と、電圧制御発振器（以下VCOとする）3と、データ識別器4と、分周器5とを備えている。

分周器5は、たとえば、Tフリップフロップなどを用いて、入力データRZ-DATAの周波数を1/2に分周する。そして、分周入力データRZ-DATA1を位相比較器1に出力する。具体的には、分周器5は、入力データRZ-DATAの立ち上がりを検出する毎に分周入力データRZ-DATA1を反転して、位相比較器1に出力する。

位相比較器1は、分周入力データRZ-DATA1とVCO3で生成されたクロックCLKとの位相を比較して、これら2つの信号の位相差を検出する。そして、検出した位相差をアナログ値で示した位相差信号FEOをLPF2に出力する。LPF2は、位相差信号FEOの高周波成分を除去して平坦化した電圧制御信号をVCO3に出力する。VCO3は、電圧制御信号に基づいて発振周波数を



調整してクロックCLKを生成し、生成したクロックCLKを位相比較器1とデータ識別器4とに出力する。データ識別器4は、VCO3で生成されたクロックCLKに基づいて入力データRZ-DATAが“0”であるのか“1”であるのかを識別する。

- 5 第2図は、第1図に示したVCO3の構成を示すブロック図である。位相比較器1は、第1のサンプル・ホールド回路11と、第2のサンプル・ホールド回路12と、セクタ13とを備えている。

第1のサンプル・ホールド回路11は、分周入力データRZ-DATA1が“H”の期間クロックCLKの電圧値をサンプリングし、分周入力データRZ-DATA1の立下りでクロックCLKの電圧値をホールドする。

第2のサンプル・ホールド回路12は、分周入力データRZ-DATA1が“L”の期間クロックCLKの電圧値をサンプリングし、分周入力データRZ-DATA1の立ち上がりでクロックCLKの電圧値をホールドする。

セクタ13は、分周入力データRZ-DATA1が“H”の場合には第2のサンプル・ホールド回路12の出力SH2を、分周入力データRZ-DATA1が“L”の場合には第1のサンプル・ホールド回路11の出力SH1を選択し、選択した信号を位相差信号FEOとして出力する。

つぎに、この発明における実施の形態1のクロックデータリカバリ回路の動作を説明する。まず、第3図のタイミングチャートを参照して、分周器5および位相比較器1の動作を説明する。第3図のタイミングチャートは、VCO3で生成されたクロックCLKの位相が入力データRZ-DATAの位相よりも早い場合を示しており、入力データRZ-DATAは、RZ信号で“H”、“L”、“L”、“H”、“L”、“H”、すなわち“1”、“0”、“0”、“1”、“0”、“1”の順に入力されている。

25 入力データRZ-DATAが“L”から“H”に変化すると、分周器5は、入力データRZ-DATAの立ち上がりを検出して、分周入力データRZ-DATA1を反転する。すなわち、分周器5は、入力データRZ-DATAの立ち上が

り毎に、分周入力データRZ-DATA1を“L”から“H”、または“H”から“L”にする。

分周入力データRZ-DATA1が“L”から“H”に変化した場合、第1のサンプル・ホールド回路11は、クロックCLKの電圧値のサンプリングを開始する。また、第2のサンプル・ホールド回路12は、分周入力データRZ-DATA1の立ち上がりの瞬間のクロックCLKの電圧値をホールドする。そして、分周入力データRZ-DATA1が“H”の期間、セクタ13は、第2のサンプル・ホールド回路12の出力SH2を選択して、選択した第2のサンプル・ホールド回路12の出力SH2を位相差信号FEOとして出力する。

分周入力データRZ-DATA1が“H”から“L”に変化した場合、第1のサンプル・ホールド回路11は、分周入力データRZ-DATA1の立下がりの瞬間のクロックCLKの電圧値をホールドする。また、第2のサンプル・ホールド回路12は、クロックCLKの電圧値のサンプリングを開始する。そして、分周入力データRZ-DATA1が“L”の期間、セクタ13は、第1のサンプル・ホールド回路11の出力SH1を選択して、位相差信号FEOとして出力する。

このように位相比較器1は、入力データRZ-DATAが“H”になるごとに、第1のサンプル・ホールド回路11の出力SH1と第2のサンプル・ホールド回路12の出力SH2とを切り替えて、位相差信号FEOを出力する。すなわち、入力データRZ-DATAに“H”が入力された時の入力データRZ-DATAの立ち上がりとクロックCLKの立ち上がりとの位相差を検出して、検出した位相差の情報をアナログ値で示した位相差信号FEOを出力する。

つぎに、クロックデータリカバリー回路の動作を説明する。分周器5は、入力データRZ-DATAの立ち上がりを検出して、分周入力データRZ-DATA1を反転する。位相比較器1は、分周入力データRZ-DATA1とVCO3で生成されたクロックCLKとの位相を比較して、分周入力データRZ-DATA1とVCO3で生成されたクロックCLKの位相差を検出する。そして、検出し

た位相差をアナログ値で示した位相差信号FEOをLPF2に出力する。LPF2は、位相差信号FEOの高周波成分を除去して平滑化した電圧制御信号をVCO3に出力する。

VCO3は、電圧制御信号に基づいて発振周波数を調整してクロックCLKを生成する。すなわち、位相比較器1において検出した入力データRZ-DATAの立ち上がりとクロックCLKの立ち上がりとの位相差に基づいて発振周波数を調整することで、入力データRZ-DATAの立ち上がりとクロックCLKの立ち上がりの位相を合わせこむ。VCO3は、生成したクロックCLKを位相比較器1とデータ識別器4とに出力する。

データ識別器4は、クロックCLKの立下りで入力データRZ-DATAが“1”であるのか“0”であるのかを識別する。そして、識別したデータを識別データとして出力する。位相比較器1に入力される分周入力データRZ-DATA1は、分周器5において入力データRZ-DATAの立ち上がりに同期して分周されている。したがって、第16図(b)に示すように、クロックCLKの立下りで入力データRZ-DATAを識別すれば、入力データRZ-DATAを識別することができる。

このようにこの実施の形態1では、入力データを分周した分周入力データと生成したクロックとの位相を比較して位相差を検出し、検出した位相差を無くするための位相差信号に基づいて発振周波数を調整して入力データの位相に合わせたクロックを生成し、生成したクロックに基づいて入力データを識別するようにしているため、入力データをRZデータで入力した場合において、位相差信号のずれを抑制することができ、入力データに依存した位相揺らぎのないクロックを用いて入力データを識別することができる。

実施の形態2.

第4図および第5図を用いて、この発明の実施の形態2を説明する。実施の形態1では、入力データを分周した分周入力データの変化点にVCOが生成するクロックの立ち上がりエッジを合わせるようにしたため、位相揺らぎのないクロック

クを用いて入力データを識別するようにした。しかしながら、第16図(b)に示したように、データを識別するクロックの立下りは、入力データの最適識別点とはずれているため、入力データのデューティ比の変動によっては、データを正しく識別することができない場合がある。

- 5      このような問題を改善するために、この実施の形態2では、VCOが生成するクロックの位相を調整して、クロックの立下りを入力データの最適識別点に合わせるものである。

第4図は、この発明における実施の形態2のクロックデータリカバリー回路の構成を示すブロック図である。この発明における実施の形態2のクロックデータ  
10      リカバリー回路は、実施の形態1のクロックデータリカバリー回路のVCO3と位相比較器1との間に、可変遅延器6が追加されている。第1図に示した実施の形態1のクロックデータリカバリー回路と同じ機能を持つ構成部分には同一符号を付し、重複する説明は省略する。

可変遅延器6は、調整端子から入力される調整信号に基づいて、VCO3から  
15      入力されるクロックCLKを遅延させた遅延クロックCLKDを位相比較器1に出力する。

位相比較器1は、分周器5において分周された入力データRZ-DATAの立ち上がりに同期した分周入力データRZ-DATA1と入力されたクロックの立ち上がりの位相差を検出する。したがって、第16図(c)に示すように、VCO3が生成するクロックCLKの立下りを入力データRZ-DATAの最適識別  
20      点(入力データRZ-DATAのビット幅の中央)に調整するためには位相比較器1に入力するクロックを調整する必要がある。

ここで、入力データRZ-DATAと可変遅延器6が出力する遅延クロックCLKDの位相はロック状態(位相が合っている)ものとする。第5図に示すよう  
25      に、入力データRZ-DATAのビット幅をW、クロックCLKの周期をTとすると、クロックCLKの立下りが入力データRZ-DATAの最適識別点と一致させるために必要なクロックCLKに対する遅延クロックCLKDの遅延量d e

l a y は、

$$d e l a y = T / 2 - W / 2$$

で表される。したがって、可変遅延器 6 は、VCO 3 で生成されたクロック CLK を、 $T / 2 - W / 2$  だけ遅延させた遅延クロック CLKD を位相比較器 1 に出力すればよい。したがって、可変遅延器 6 の調整端子に VCO 3 で生成されたクロック CLK を、 $T / 2 - W / 2$  だけ遅延させるような調整信号を入力する。

つぎに、この発明における実施の形態 2 のクロックデータリカバリー回路の動作を説明する。可変遅延器 6 は、調整端子から入力される調整信号に基づいて VCO 3 で生成されたクロック CLK を遅延させた遅延クロック CLKD を位相比較器 1 に出力する。位相比較器 1 は、分周器 5 において分周された入力データ RZ-DATA の立ち上がりに同期した分周入力データ RZ-DATA 1 と遅延クロック CLKD との位相を比較して、分周入力データ RZ-DATA 1 と VCO 3 で生成されたクロック CLK の位相差を検出する。そして、検出した位相差をアナログ値で示した位相差信号 FEO を LPF 2 に出力する。LPF 2 は、位相差信号 FEO の高周波成分を除去して平滑化した電圧制御信号を VCO 3 に出力する。VCO 3 は、電圧制御信号に基づいて発振周波数を調整してクロック CLK を生成して、生成したクロック CLK を可変遅延器 6 とデータ識別器 4 とに出力する。データ識別器 4 は、クロック CLK の立下りで入力データ RZ-DATA が “1” であるのか “0” であるのかを識別する。そして、識別したデータを識別データとして出力する。

このようにこの実施の形態 2 では、可変遅延器は、外部から入力される調整時間だけ VCO が生成したクロックを遅延させた遅延クロックを生成し、位相比較器は、遅延クロックと入力データを分周した分周入力データとの位相を比較するようにしたため、入力データのデューティ比に応じた最適識別点に VCO が生成するクロックの立下りを合わせることができる。

実施の形態 3.

第 6 図および第 7 図を用いて、この発明の実施の形態 3 を説明する。実施の形

態 2 では、位相比較器において位相を比較する分周入力データを基準としてクロックを遅延させることで、VCO が生成するクロックの立下りを入力データの最適識別点に合わせるようにした。この実施の形態 3 では、位相比較器に入力するクロックを基準として分周入力データを遅延させることで、VCO が生成するクロックの立下りを入力データの最適識別点に合わせるものである。

第 6 図は、この発明における実施の形態 3 のクロックデータリカバリー回路の構成を示すブロック図である。この発明における実施の形態 3 のクロックデータリカバリー回路は、第 1 図に示した実施の形態 1 のクロックデータリカバリー回路の分周器 5 と位相比較器 1 との間に、可変遅延器 6 a が追加されている。第 1 図に示した実施の形態 1 のクロックデータリカバリー回路と同じ機能を持つ構成部分には同一符号を付し、重複する説明は省略する。

可変遅延器 6 a は、調整端子から入力される調整信号に基づいて分周器 5 から入力された分周入力データ RZ-DATA 1 を遅延させた遅延分周入力データ RZ-DATA 2 を位相比較器 1 に出力する。

ここで、VCO 3 が生成するクロック CLK と可変遅延器 6 a が出力する遅延分周入力データ RZ-DATA 2 の位相はロック状態であるものとする。第 7 図に示すように、入力データ RZ-DATA のビット幅を W、クロック CLK の周期を T とすると、クロック CLK の立下りを入力データ RZ-DATA の最適識別点と一致させるために必要な分周入力データ RZ-DATA 1 に対する遅延分周入力データ RZ-DATA 2 の遅延量 delay は、

$$\text{delay} = T/2 + W/2$$

で表される。したがって、可変遅延器 6 a は、分周器 5 で分周された分周入力データ RZ-DATA 1 を、 $T/2 + W/2$  だけ遅延させた遅延分周入力データ RZ-DATA 2 を位相比較器 1 に出力すればよい。したがって、可変遅延器 6 a の調整端子に分周器 5 で分周された分周入力データ RZ-DATA 1 を、 $T/2 + W/2$  だけ遅延させるような調整信号を入力する。

つぎに、この発明における実施の形態 3 のクロックデータリカバリー回路の動

作を説明する。分周器 5 は、入力データ R Z - D A T A の立ち上がりを検出して、分周入力データ R Z - D A T A 1 を反転する。可変遅延器 6 a は、調整端子から入力される調整信号に基づいて、分周入力データ R Z - D A T A 1 を遅延させた遅延分周入力データ R Z - D A T A 2 を位相比較器 1 に出力する。位相比較器 1 は、遅延分周入力データ R Z - D A T A 2 の変化点において遅延分周入力データ R Z - D A T A 2 と V C O 3 で生成されたクロック C L K の位相差を検出する。そして、検出した位相差をアナログ値で示した位相差信号 F E O を L P F 2 に出力する。L P F 2 は、位相差信号 F E O の高周波成分を除去して平滑化した電圧制御信号を V C O 3 に出力する。V C O 3 は、電圧制御信号に基づいて発振周波数を調整してクロック C L K を生成して、生成したクロック C L K をデータ識別器 4 に出力する。データ識別器 4 は、クロック C L K の立下りで入力データ R Z - D A T A が “1” であるのか “0” であるのかを識別する。そして、識別したデータを識別データとして出力する。

このようにこの実施の形態 3 では、可変遅延器は、外部から入力される調整時間だけ入力データを分周した分周入力データを遅延させた遅延分周入力データを生成し、位相比較器は、V C O が生成したクロックと遅延分周入力データとの位相を比較するようにしたため、入力データのデューティ比に応じた最適識別点に V C O が生成するクロックの立下りを合わせることができる。

実施の形態 4.

第 8 図および第 9 図を用いて、この発明の実施の形態 4 を説明する。実施の形態 3 および実施の形態 4 では、位相比較器 1 の入力的一方を基準として、もう一方を遅延させることでデータを識別するクロックの立下りを入力データの最適識別点に調整するようにした。この実施の形態 4 では、識別される入力データを遅延させることでデータを識別するクロックの立下りを最適識別点に調整するようにしたものである。

第 8 図は、この発明における実施の形態 4 のクロックデータリカバリー回路の構成を示すブロック図である。この発明における実施の形態 4 のクロックデータ

リカバリ回路は、実施の形態1のクロックデータリカバリ回路のデータ識別器4の前段に、可変遅延器6bが追加されている。第1図に示した実施の形態1のクロックデータリカバリ回路と同じ機能を持つ構成部分には同一符号を付し、重複する説明は省略する。

- 5 可変遅延器6bは、調整端子から入力される調整信号に基づいて入力データRZ-DATAを遅延させた遅延入力データRZ-DATA3をデータ識別器4に出力する。

ここで、位相比較器1に入力される入力データRZ-DATAとVCO3が生成したクロックCLKの位相はロック状態であるものとする。第9図に示すように、入力データRZ-DATAのビット幅をWとすると、クロックCLKの立下りが入力データRZ-DATAの最適識別点と一致させるために必要な分周入力データRZ-DATA1に対する遅延分周入力データRZ-DATA2の遅延量delayは、

$$\text{delay} = W / 2$$

- 15 で表される。したがって、可変遅延器6bは、入力データRZ-DATAを、 $TW/2$ だけ遅延させた遅延入力データRZ-DATA3をデータ識別器4に出力すればよい。したがって、可変遅延器6bの調整端子に分周器5で分周された入力データRZ-DATAを、 $W/2$ だけ遅延させるような調整信号を入力する。

つぎに、この発明における実施の形態4のクロックデータリカバリ回路の動作を説明する。分周器5は、入力データRZ-DATAの立ち上がりを検出して、分周入力データRZ-DATA1を反転する。位相比較器1は、分周入力データRZ-DATA1の変化点において分周入力データRZ-DATA1とVCO3で生成されたクロックCLKの位相差を検出する。そして、検出した位相差をアナログ値で示した位相差信号FEOをLPF2に出力する。LPF2は、位相差信号FEOの高周波成分を除去して平滑化した電圧制御信号をVCO3に出力する。VCO3は、電圧制御信号に基づいて発振周波数を調整してクロックCLKを生成して、生成したクロックCLKをデータ識別器4に出力する。



可変遅延器 6 b は、調整端子から入力される調整信号に基づいて、入力データ R Z - D A T A を遅延させた遅延入力データ R Z - D A T A 3 をデータ識別器 4 に出力する。データ識別器 4 は、クロック C L K の立下りで入力データ R Z - D A T A が “1” であるのか “0” であるのかを識別する。そして、識別したデータ 5 を識別データとして出力する。

このようにこの実施の形態 4 では、可変遅延器は、外部から入力される調整時間だけ入力データを遅延させた遅延入力データを生成し、データ識別器は、V C O で生成したクロックの立下りで遅延入力データを識別するようにしたため、入力データのデューティー比に応じた最適識別点に V C O が生成するクロックの立下りを合わせることができる。 10

実施の形態 5.

第 10 図を用いて、この発明の実施の形態 5 を説明する。実施の形態 2 では、可変遅延器において V C O が生成したクロックを遅延させる遅延量を外部から入力するようにしていた。この実施の形態 5 では、可変遅延器に入力する遅延量をクロックデータリカバリー回路内で生成するものである。 15

第 10 図は、この発明における実施の形態 5 のクロックデータリカバリー回路の構成を示すブロック図である。この発明における実施の形態 5 のクロックデータリカバリー回路は、実施の形態 3 のクロックデータリカバリー回路にデューティー比検出器 7 が追加されている。第 4 図に示した実施の形態 3 のクロックデータリカバリー回路と同じ機能を持つ構成部分には同一符号を付し、重複する説明は省略する。 20

デューティー比検出器 7 は、入力データ R Z - D A T A のデューティー比、すなわち、ビット幅を検出する。そして、可変遅延器 6 においてクロック C L K を遅延させる遅延量を算出して、算出した遅延量を可変遅延器 6 の調整端子に出力 25 する。

実施の形態 2 で説明したように、入力データ R Z - D A T A のビット幅を W、クロック C L K の周期を T とすると、可変遅延器 6 に与える遅延量は、 $T/2$

+ $W/2$ 」である。したがって、デューティ比検出器 7 は、検出した入力データ R Z - D A T A のビット幅に基づいて、 $T/2 + W/2$  の遅延量を算出して、可変遅延器 6 に出力する。

5 実施の形態 5 のクロックデータリカバリー回路の動作については、実施の形態 3 において可変遅延器 6 に外部から入力されていた調整信号を、デューティ比検出器 7 が算出する以外同様となるので、ここではその説明を省略する。

このようにこの実施の形態 5 では、デューティ比検出器が、入力データのビット幅を検出して、V C O が生成するクロックの立下りを入力データの最適識別点に合わせるための遅延量を算出するようにしているため、外部で遅延量を設定  
10 することなく、入力データのデューティ比に応じた最適識別点に V C O が生成するクロックの立下りを合わせることができる。

なお、第 6 図に示した実施の形態 3 のクロックデータリカバリー回路にデューティ比検出器を備え、デューティ比検出器が、入力データビット幅を検出して分周入力データを  $T/2 + W/2$  だけ遅延させる遅延値を算出し、算出した遅延値を可変遅延器 6 a の調整端子に出力するようにしても、外部で遅延量を設定  
15 することなく、入力データのデューティ比に応じた最適識別点に V C O が生成するクロックの立下りを合わせることができる。

また、第 8 図にしめした実施の形態 4 のクロックデータリカバリー回路にデューティ比検出器を備え、デューティ比検出器が、入力データ R Z - D A T A ビット幅を検出して入力データ R Z - D A T A を  $W/2$  だけ遅延させる遅延値を算出し、算出した遅延値を可変遅延器 6 b の調整端子に出力するようにしても、外部で遅延量を設定することなく、入力データのデューティ比に応じた最適識別点に V C O が生成するクロックの立下りを合わせることができる。

実施の形態 6 .

25 第 1 1 図および第 1 2 図を用いて、この発明の実施の形態 6 を説明する。第 1 1 図は、この発明における実施の形態 6 のクロックデータリカバリー回路の構成を示すブロック図である。この発明における実施の形態 6 のクロックデータリカ

バリ回路は、分周器 8 5、位相比較器 8 1、LPF 8 2 および VCO 8 3 を有する第 1 のクロック生成回路 8 と、分周器 9 5、位相比較器 9 1、LPF 9 2 および VCO 9 3 を有する第 2 のクロック生成回路 9 と、位相合成器 1 0 と、データ識別器 4 とで構成される。

- 5      第 1 のクロック生成回路 8 は、入力データ RZ-DATA の立ち上がりエッジと位相が一致するクロック CLKR を生成する。

分周器 8 5 は、たとえば、T フリップフロップなどを用いて、入力データ RZ-DATA の立ち上がりを検出する毎に分周入力データ RZ-DATAR を反転して、位相比較器 8 1 に出力する。

- 10      位相比較器 8 1 は、分周入力データ RZ-DATAR と VCO 8 3 で生成されたクロック CLKR との位相を比較して、これら 2 つの信号の位相差を検出する。そして、検出した位相差をアナログ値で示した位相差信号 FEOR を LPF 8 2 に出力する。なお、位相比較器 9 1 の構成については、第 2 図に示した実施の形態 1 の位相比較器 1 と同様となるので、ここではその説明を省略する。

- 15      LPF 8 2 は、位相差信号 FEOR の高周波成分を除去して平坦化した電圧制御信号を VCO 8 3 に出力する。VCO 8 3 は、電圧制御信号に基づいて発振周波数を調整してクロック CLKR を生成し、生成したクロック CLKR を位相比較器 8 1 と位相合成器 1 0 とに出力する。

- 20      第 2 のクロック生成回路 9 は、入力データ RZ-DATA の立下りエッジと位相が一致するクロック CLKR を生成する。

分周器 9 5 は、たとえば、T フリップフロップなどを用いて、入力データ RZ-DATA の立下りを検出する毎に分周入力データ RZ-DATAF を反転して、位相比較器 9 1 に出力する。

- 25      位相比較器 9 1 は、分周入力データ RZ-DATAF と VCO 9 3 で生成されたクロック CLKF との位相を比較して、これら 2 つの信号の位相差を検出する。そして、検出した位相差をアナログ値で示した位相差信号 FE OF を LPF 9 2 に出力する。なお、位相比較器 9 1 の構成については、第 2 図に示した実施の形

態 1 の位相比較器 1 と同様となるので、ここではその説明を省略する。

LPF 9 2 は、位相差信号 FEOR の高周波成分を除去して平坦化した電圧制御信号を VCO 9 3 に出力する。VCO 9 3 は、電圧制御信号に基づいて発振周波数を調整してクロック CLK<sub>F</sub> を生成し、生成したクロック CLK<sub>R</sub> を位相比較器 9 1 と位相合成器 1 0 とに出力する。

位相合成器 1 0 は、第 1 のクロック生成回路 8 で生成したクロック CLK<sub>R</sub> と第 2 のクロック生成回路 9 で生成したクロック CLK<sub>F</sub> とを合成する。そして、合成したクロックを反転させたクロック CLK<sub>M</sub> をデータ識別器 4 に出力する。

データ識別器 4 は、位相合成器 1 0 で合成されたクロック CLK<sub>M</sub> に基づいて入力データ RZ-DATA が “0” であるのか “1” であるのかを識別する。

つぎに、第 1 2 図のタイミングチャートを参照して、この実施の形態 6 のクロックデータリカバリ回路の動作を説明する。なお、第 1 のクロック生成回路 8 が入力データ RZ-DATA の立ち上がりで位相の一致するクロック CLK<sub>R</sub> を生成する動作、および第 2 のクロック生成回路 9 が入力データ RZ-DATA の立下りと位相の一致するクロック CLK<sub>F</sub> を生成する動作については、実施の形態 1 の分周器 5、位相比較器 1、LPF 2 および VCO 3 でクロック CLK を生成する動作と同様となるので、ここではその説明を省略する。

ここで、第 1 のクロック生成回路 8 と第 2 のクロック生成回路 9 はロック状態であるものとする。すなわち、位相比較器 8 1 に入力される分周器 8 5 の出力である分周入力データ RZ-DATAR の立ち上がりおよび立下りと、VCO 8 1 で生成されるクロック CLK<sub>R</sub> の立ち上がりとが一致しており、位相比較器 9 1 に入力される分周器 9 5 の出力である分周入力データ RZ-DATA<sub>F</sub> の立ち上がりおよび立下りと、VCO 9 1 で生成されるクロック CLK<sub>F</sub> の立ち上がりとが一致しているものとする。

第 1 2 図に示すように、第 1 のクロック生成回路 8 の分周器 8 5 は、入力データ RZ-DATA の立ち上がりを検出して出力である分周入力データ RZ-DATAR を反転し、第 2 のクロック生成回路 9 の分周器 9 5 は、入力データ RZ-

DATAの立下りを検出して出力である分周入力データRZ-DATAFを反転する。すなわち、第2のクロック生成回路9の分周入力データRZ-DATAFは、第1のクロック生成回路9の分周入力データRZ-DATARに対して、入力データRZ-DATAのビット幅分の遅延している。

- 5 第1のクロック生成回路8と第2のクロック生成回路9はともにロック状態であるので、第2のクロック生成回路9で生成されたクロックCLKFは、第1のクロック生成回路で生成されたクロックCLKRに対して入力データRZ-DATAのビット幅分の遅延している。位相合成器10は、これら2つのクロックCLKRとクロックCLKFを合成する。そして、合成したクロックを反転させた
- 10 クロックCLKMをデータ識別器4に出力する。すなわち、位相合成器10は、入力データRZ-DATAの立ち上がりとクロックの立ち上がりが一致しているクロックCLKRと、入力データRZ-DATAの立下りとクロックの立下りが一致しているクロックCLKFとを合成し、さらに反転することで、入力データRZ-DATAの最適識別点にクロックの立下りをあわせこんだクロックCLKMを生成する。
- 15 Mを生成する。

データ識別器4は、クロックCLKMの立下りで入力データRZ-DATAが“1”であるのか“0”であるのかを識別する。そして、識別したデータを識別データとして出力する。

- 20 このようにこの実施の形態6では、第1のクロック生成回路は、第1のクロック生成回路内の分周器が入力データの立ち上がりでデータを反転させて生成した分周入力データの変化点に位相を合わせた第1のクロックを生成し、第2のクロック生成回路は、第2のクロック生成回路内の分周器が入力データの立下りでデータを反転させて生成した分周入力データの変化点に位相を合わせた第2のクロックを生成し、位相合成器が、第1のクロックと第2のクロックを合成したクロックを反転させデータを識別するためのクロックを生成するようにしているため、
- 25 常に入力データのデューティー比に応じた最適識別点でデータを識別することができる。

### 産業上の利用可能性

- 以上のように、本発明にかかるクロックデータリカバリー回路は、入力データを識別するためのクロックを入力データから生成する必要がある通信システムに
- 5 有用であり、特に、入力データにR Zデータを用いる通信システムに適している。

## 請 求 の 範 囲

1. 電圧制御発振器が生成したクロックに基づいて入力データを識別するデータ識別器と、
- 5 前記入力データを分周する分周器と、  
前記電圧制御発振器が生成したクロックと前記分周器において分周された入力データとの位相差を検出して、該検出した位相差を無くするための位相差信号を生成する位相比較器と、  
前記位相差信号に基づいて発振周波数を調整して前記クロックを生成して、前記  
10 データ識別器と前記位相比較器とに出力する前記電圧制御発振器と、  
を備えることを特徴とするクロックデータリカバリー回路。
2. 前記電圧制御発振器が生成したクロックを所定の時間だけ遅延させた遅延クロックを生成する可変遅延器、
- 15 を前記電圧制御発振器と前記位相比較器との間にさらに備え、  
前記位相比較器は、  
前記遅延クロックと前記分周器において分周された入力データとの位相差を検出して前記位相差信号を生成することを特徴とする請求の範囲第1項に記載のクロックデータリカバリー回路。
- 20 3. 前記電圧制御発振器が生成したクロックを遅延させる所定の時間を外部より設定することを特徴とする請求の範囲第2項に記載のクロックデータリカバリー回路。
- 25 4. 前記入力データのデューティ比に基づいて前記電圧制御発振器が生成したクロックを遅延させる遅延時間を決定して、該決定した遅延時間を前記可変遅延器に出力するデューティ比検出器、

をさらに備えたことを特徴とする請求の範囲第2項に記載のクロックデータリカバリ回路。

5 5. 前記分周器において分周された入力データを所定の時間だけ遅延させた遅延分周入力データを生成する可変遅延器、  
を前記分周器と前記位相比較器との間にさらに備え、  
前記位相比較器は、  
前記電圧制御発振器が生成したクロックと前記遅延分周入力データとの位相差を検出して前記位相差信号を生成することを特徴とする請求の範囲第1項に記載の  
10 クロックデータリカバリ回路。

15 6. 前記分周器において分周された入力データを遅延させる所定の時間を外部より設定することを特徴とする請求の範囲第5項に記載のクロックデータリカバリ回路。

7. 前記入力データのデューティ比に基づいて前記分周器において分周された入力データを遅延させる遅延時間を決定して、該決定した遅延時間を前記可変遅延器に出力するデューティ比検出器、  
をさらに備えたことを特徴とする請求の範囲第5項に記載のクロックデータリカ  
20 バリ回路。

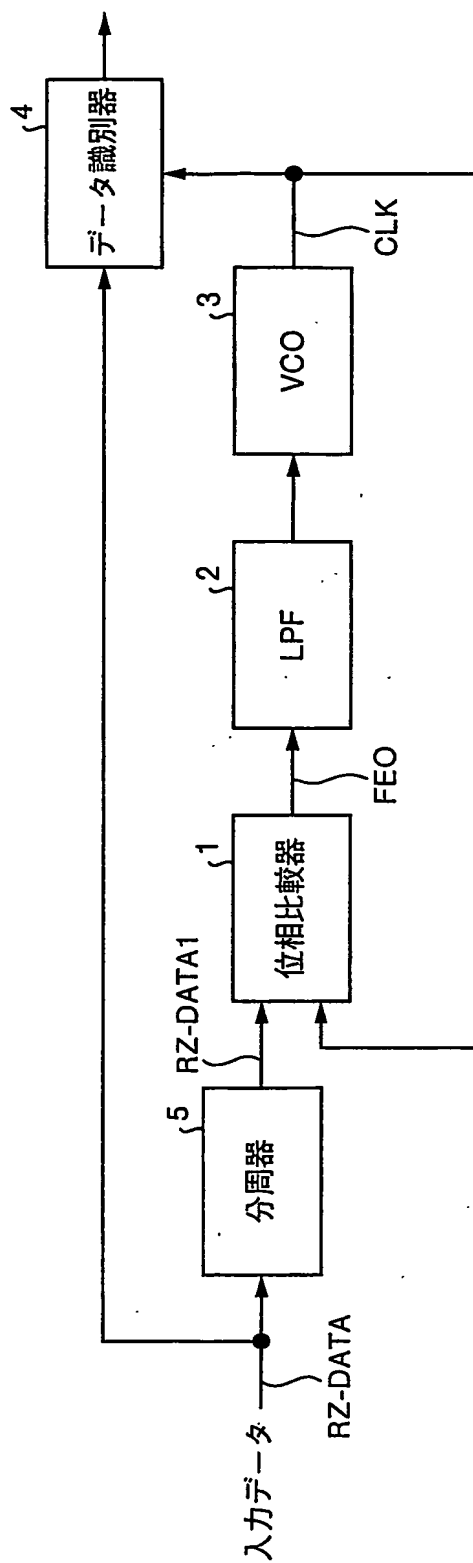
8. 前記入力データを所定の時間だけ遅延させた遅延入力データを生成する可変遅延器、  
を前記データ識別器の前段にさらに備え、  
25 前記データ識別器は、  
前記電圧制御発振器が生成したクロックに基づいて前記遅延入力データを識別することを特徴とする請求の範囲第1項に記載のクロックデータリカバリ回路。



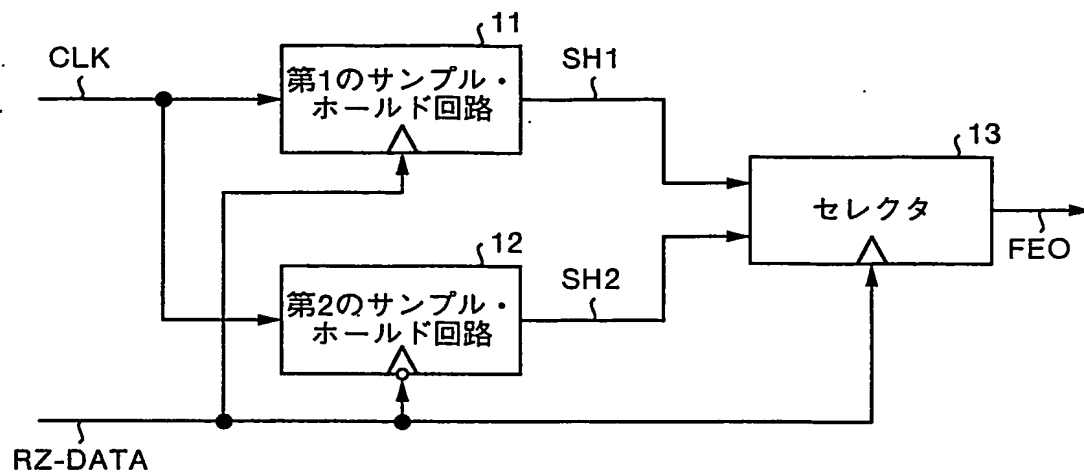
9. 前記入力データを遅延させる所定の時間を外部より設定することを特徴とする請求の範囲第8項に記載のクロックデータリカバリー回路。
- 5 10. 前記入力データのデューティ比に基づいて前記入力データを遅延させる遅延時間を決定して、該決定した遅延時間を前記可変遅延器に出力するデューティ比検出器、  
をさらに備えたことを特徴とする請求の範囲第8項に記載のクロックデータリカバリー回路。
- 10 11. 入力データの立ち上がりに同期した第1のクロックを生成する第1のクロック生成回路と、  
前記入力データの立下りに同期した第2のクロックを生成する第2のクロック生成回路と、
- 15 前記第1のクロックと前記第2のクロックとを合成して、該第1のクロックと該第2のクロックとの中間位相のクロックをデータ識別器に出力する位相合成器と、  
前記中間位相のクロックに基づいて前記入力データを識別するデータ識別器と、  
を備えることを特徴とするクロックデータリカバリー回路。
- 20 12. 前記第1のクロック生成回路は、  
前記入力データの立ち上がりで該入力データを分周する分周器と、  
前記第1のクロックと前記分周器において分周された入力データとの位相差を検出して、該検出した位相差を無くすための位相差信号を生成する位相比較器と、  
前記位相差信号に基づいて発振周波数を調整して前記前記第1のクロックを生成
- 25 して、前記位相合成器と前記位相比較器とに出力する前記電圧制御発振器と、  
を備え、  
前記第2のクロック生成回路は、

- 前記入力データの立下りで該入力データを分周する分周器と、  
前記第2のクロックと前記分周器において分周された入力データとの位相差を検出して、該検出した位相差を無くするための位相差信号を生成する位相比較器と、  
前記位相差信号に基づいて発振周波数を調整して前記第2のクロックを生成して、  
5 前記位相合成器と前記位相比較器とに出力する前記電圧制御発振器と、  
を備えたことを特徴とする請求の範囲第11項に記載のクロックデータリカバリ回路。

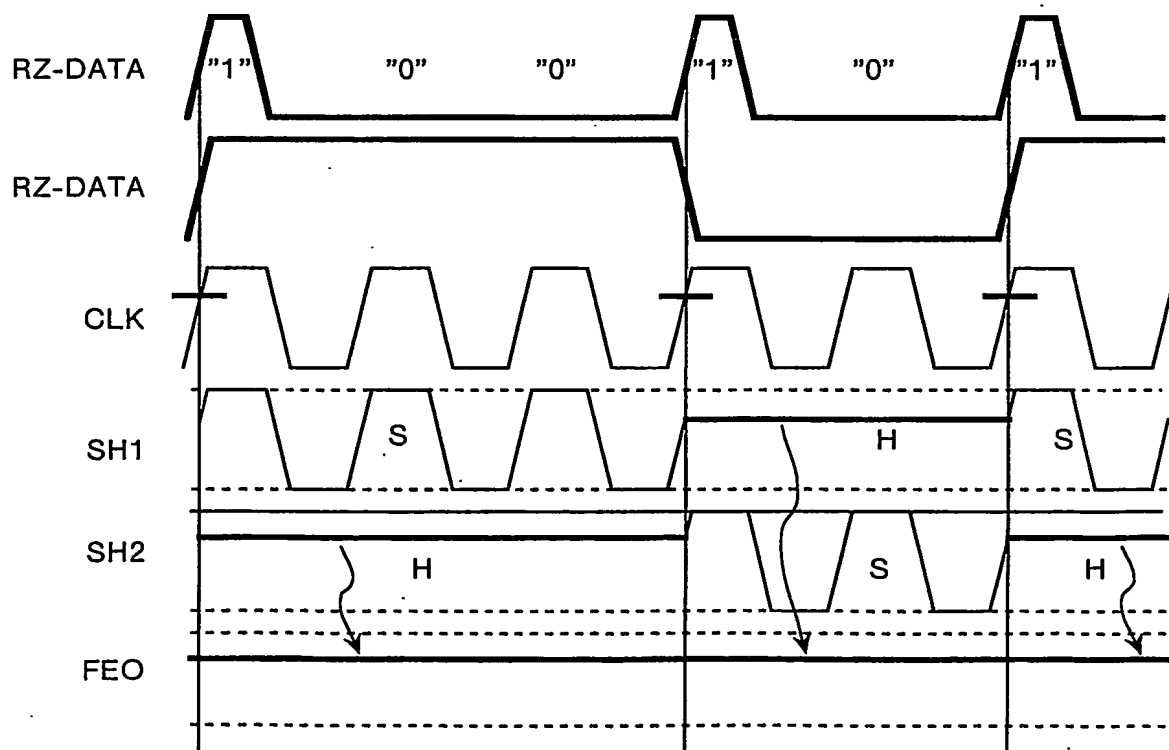
第1図



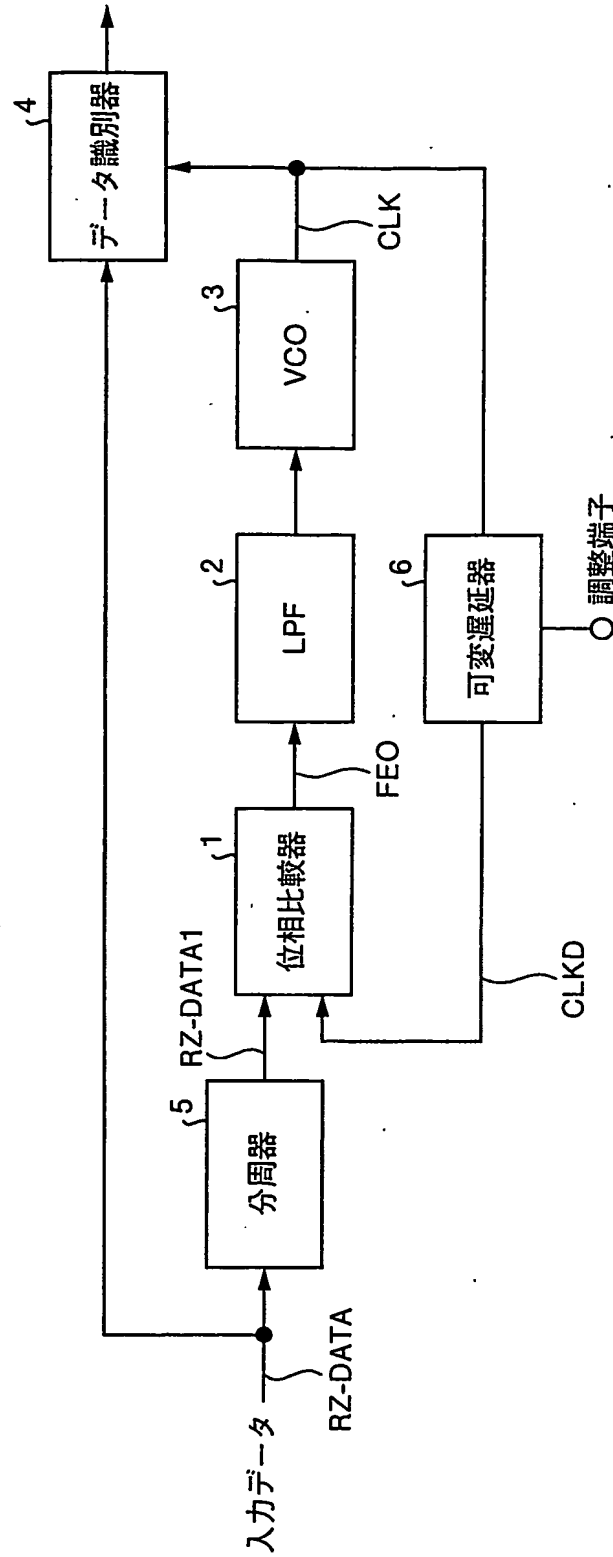
## 第2図



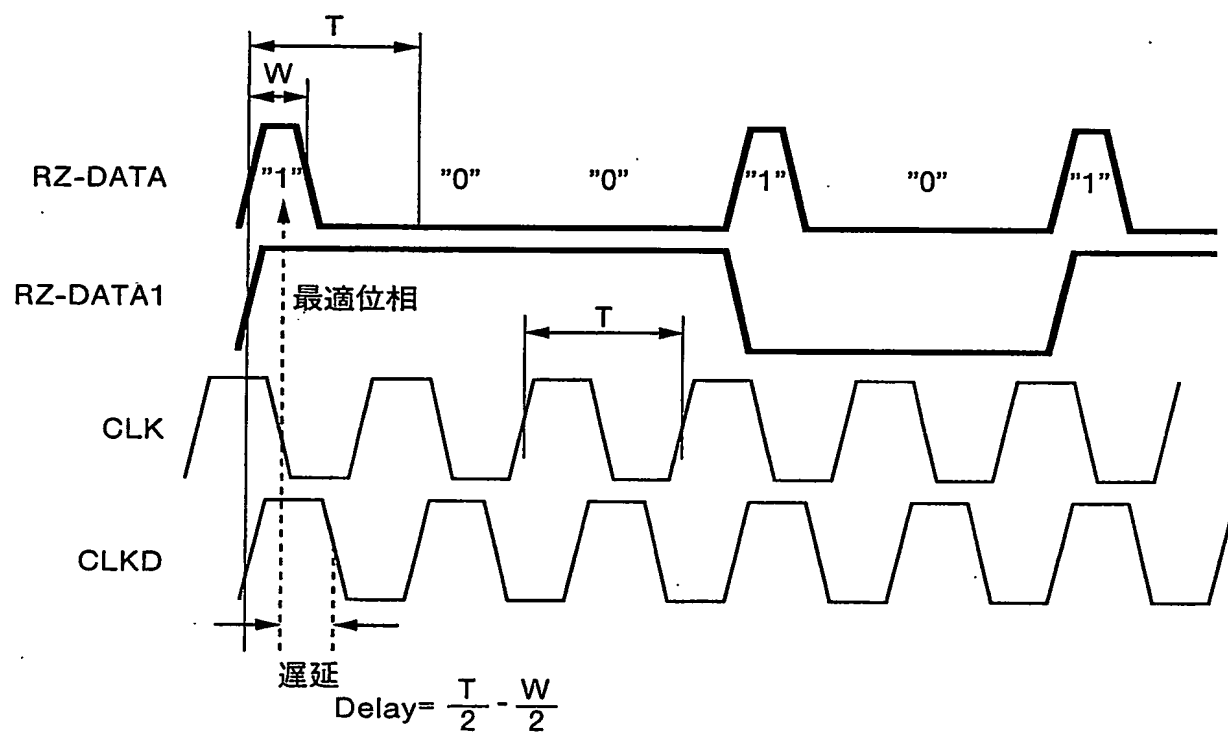
## 第3図



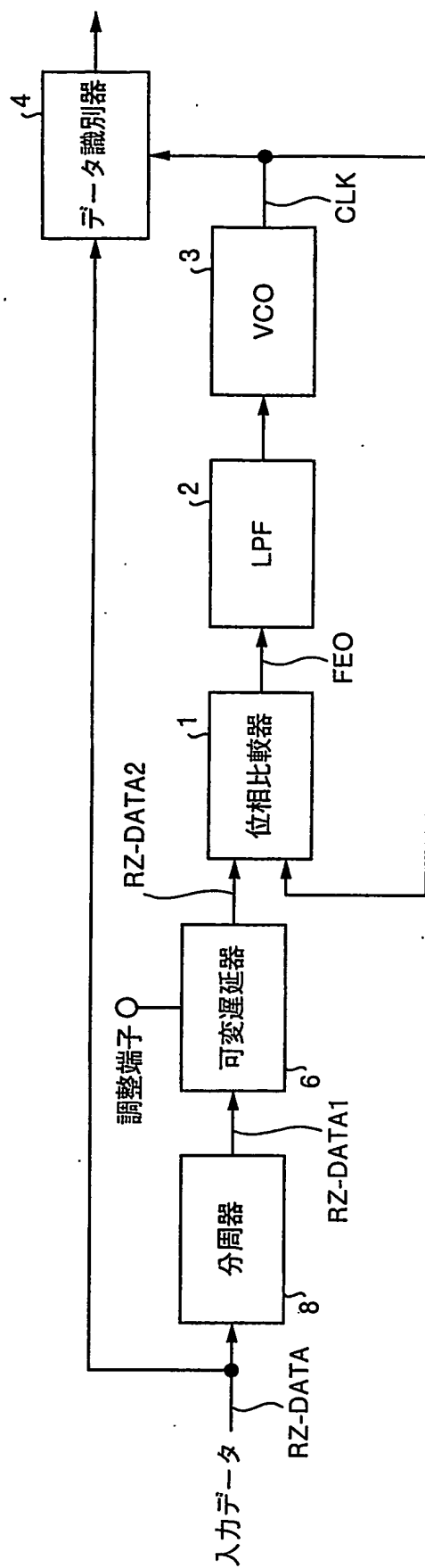
第4図



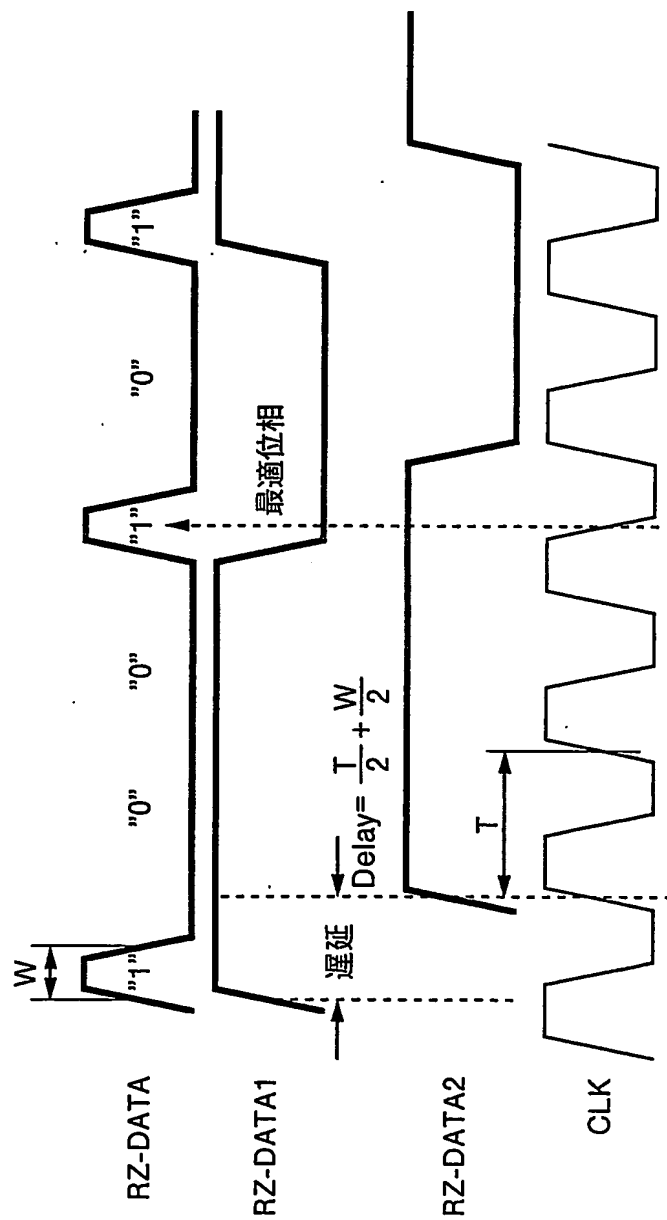
## 第5図



第6図

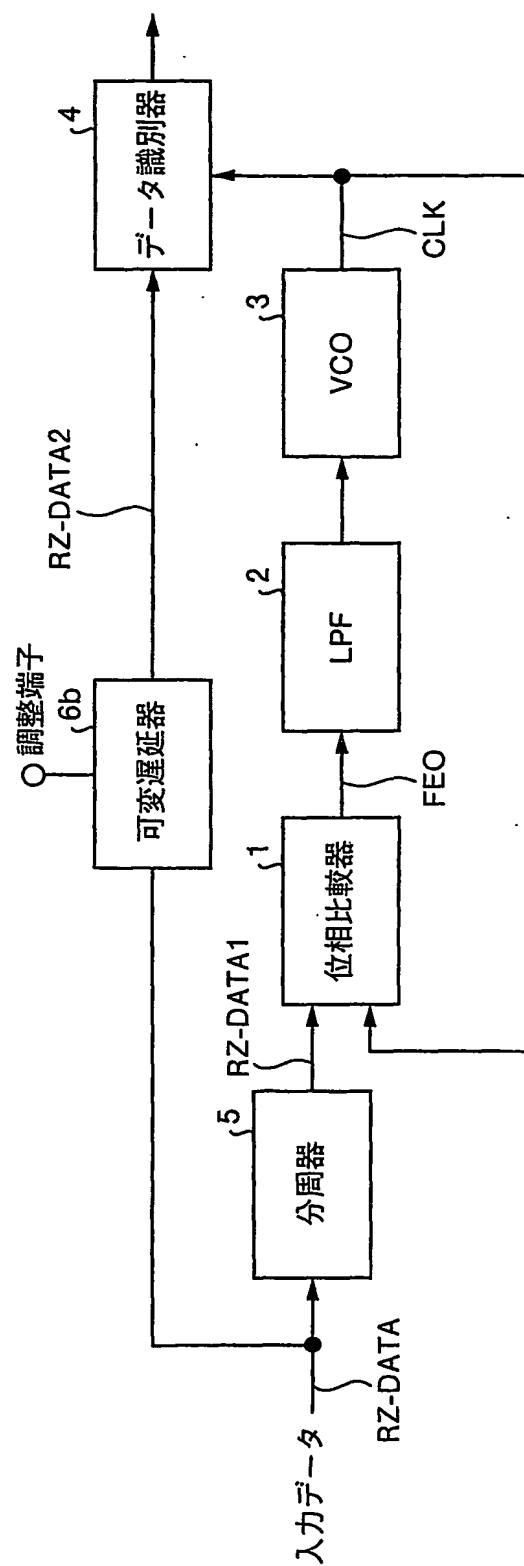


第7図

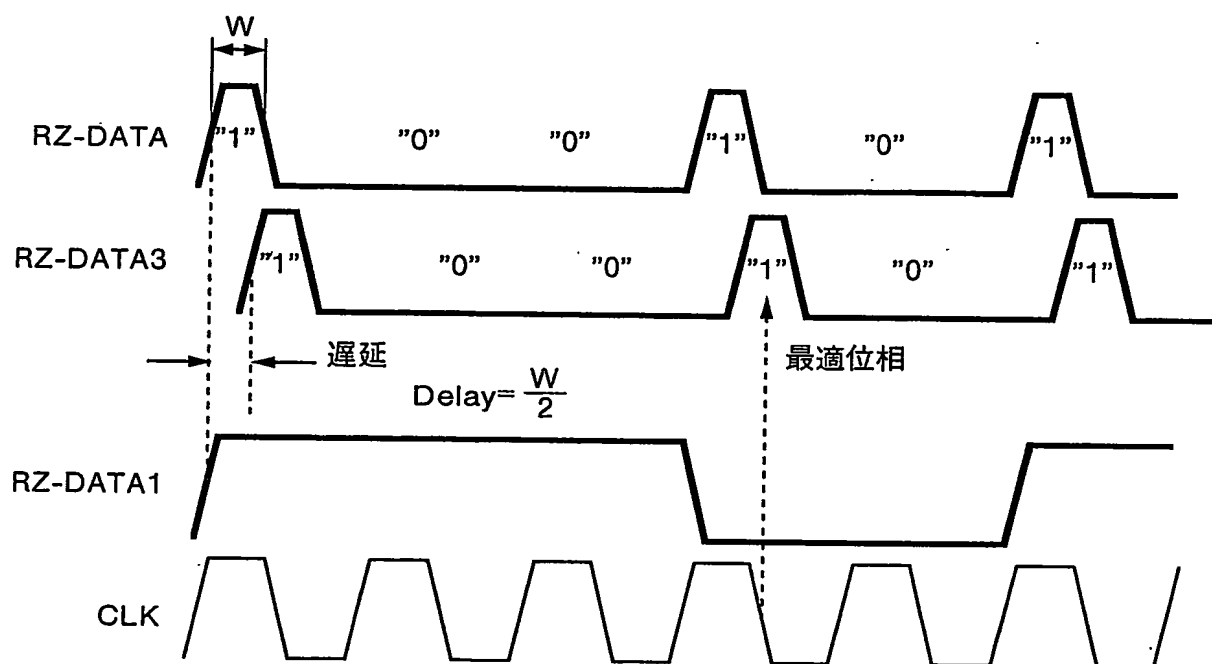




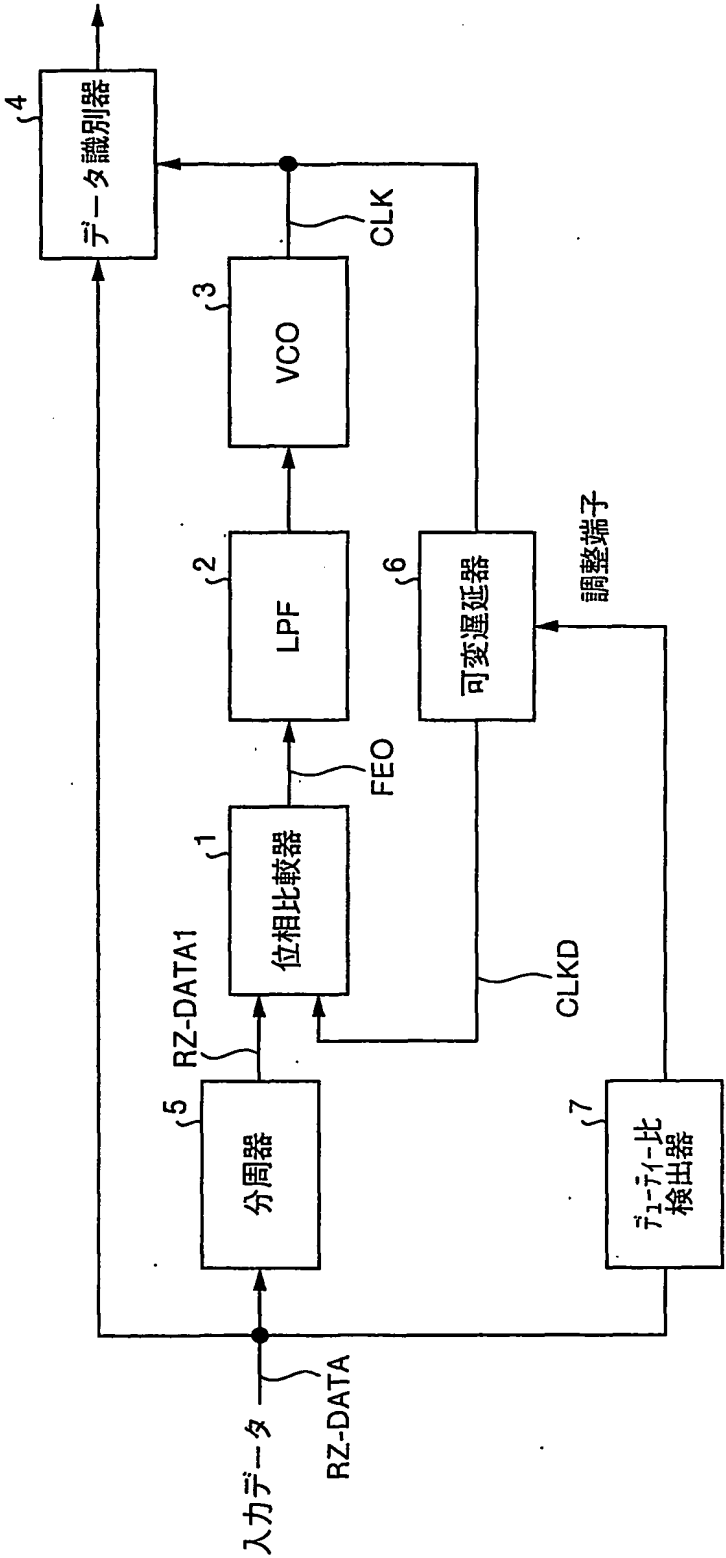
第8図



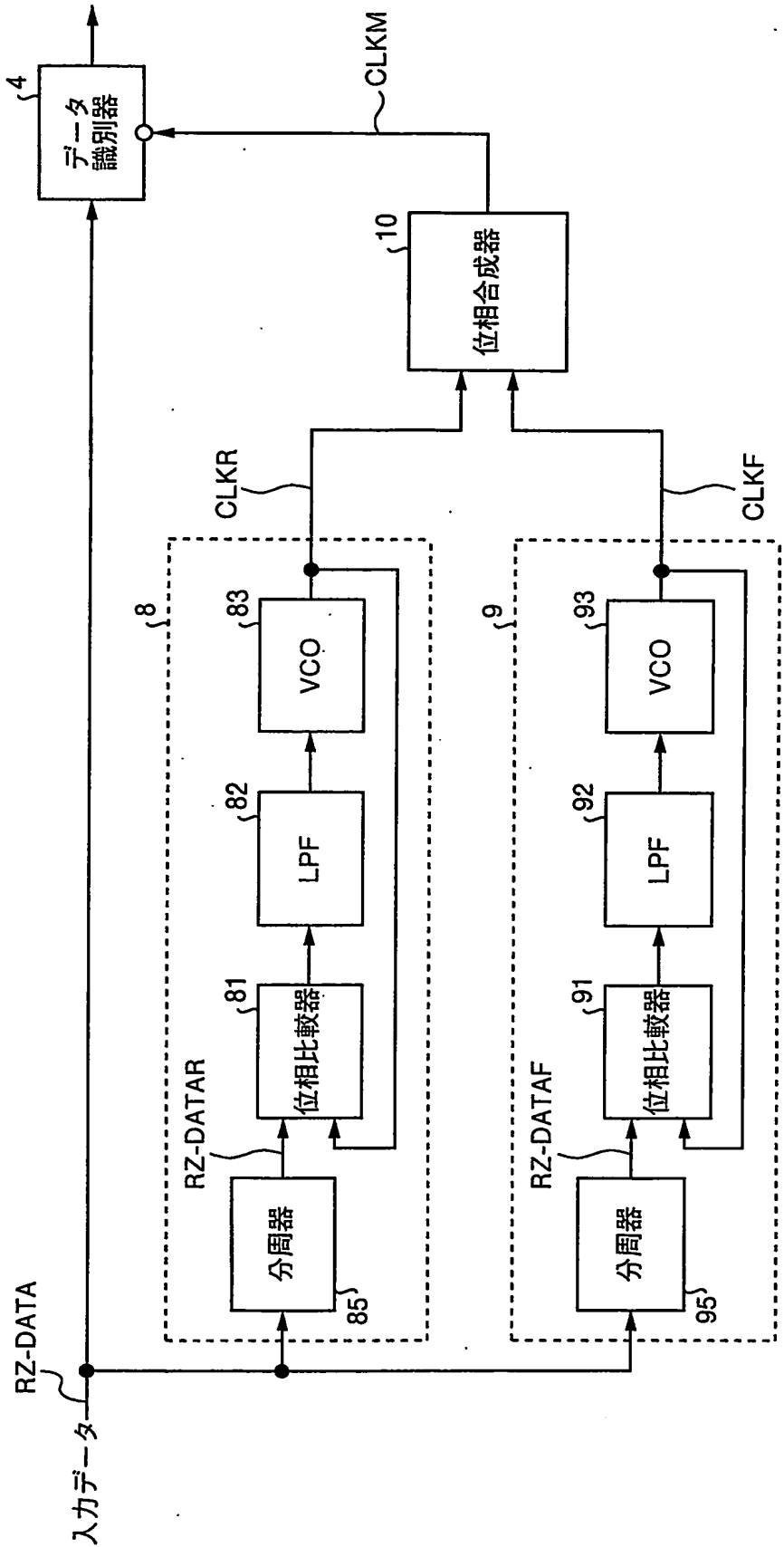
第 9 図



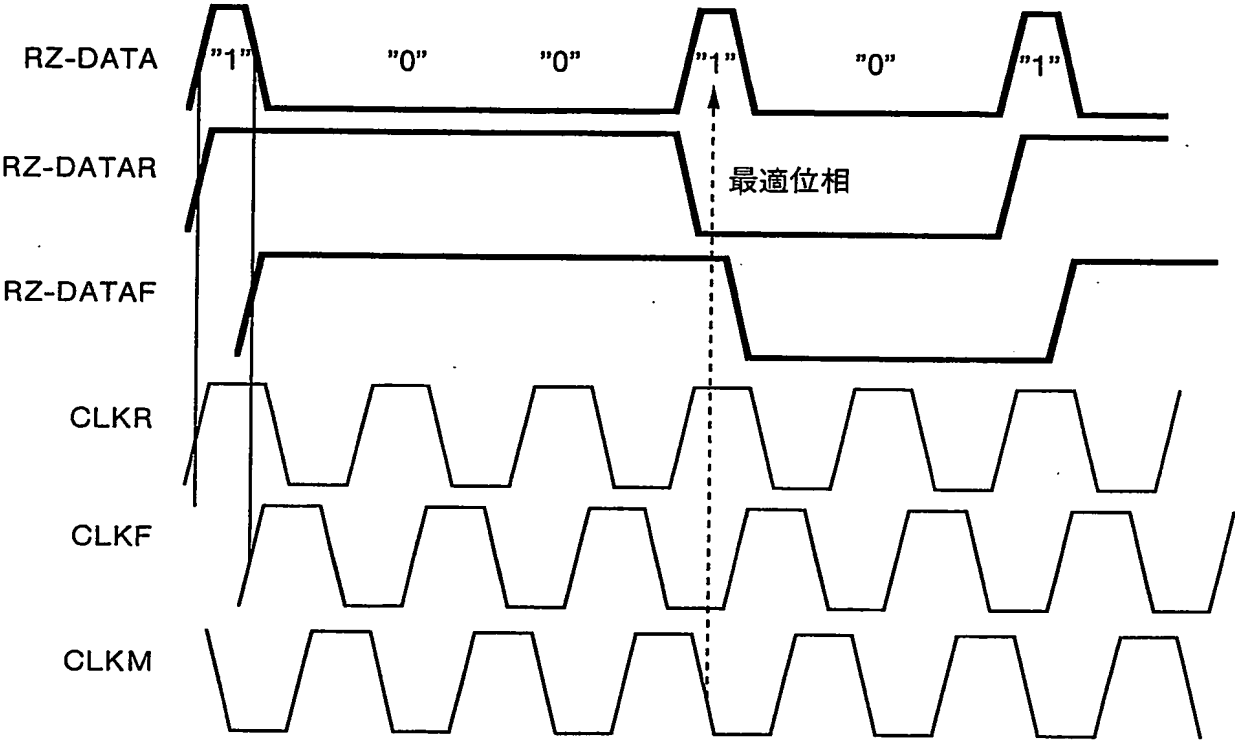
第10図



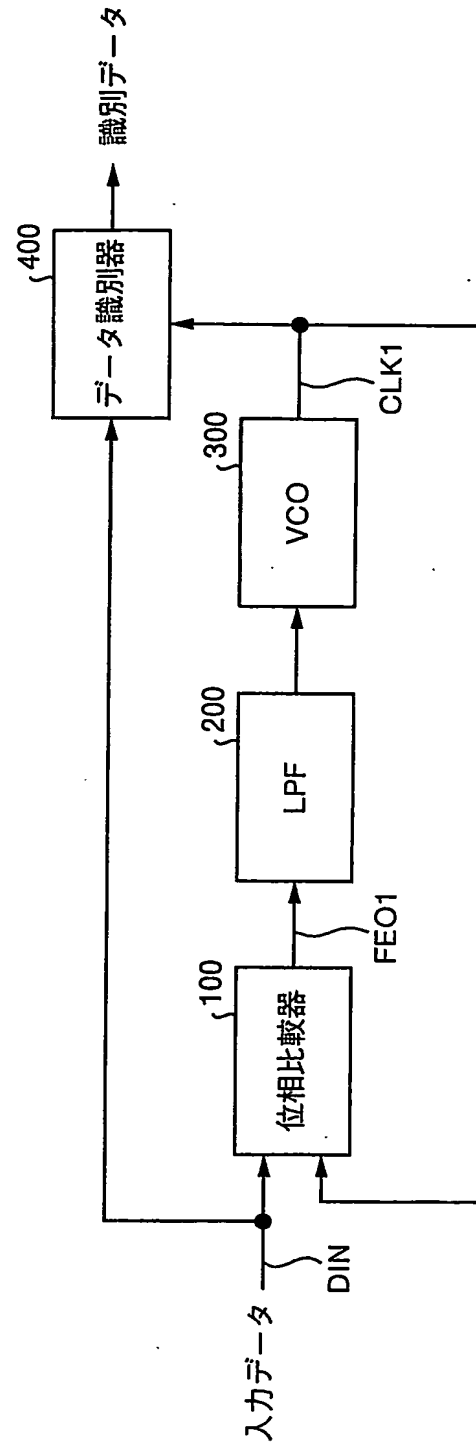
第11図



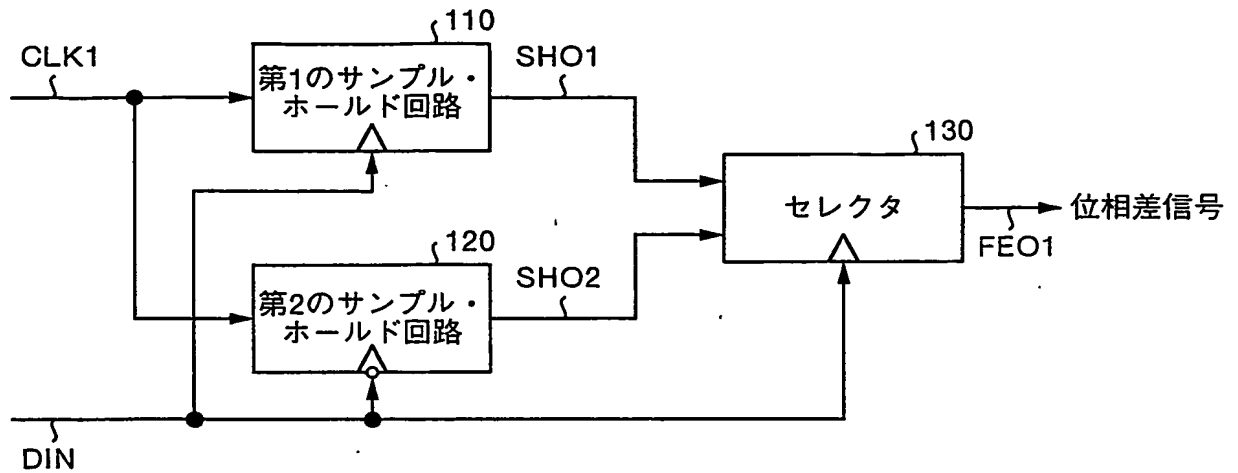
第12図



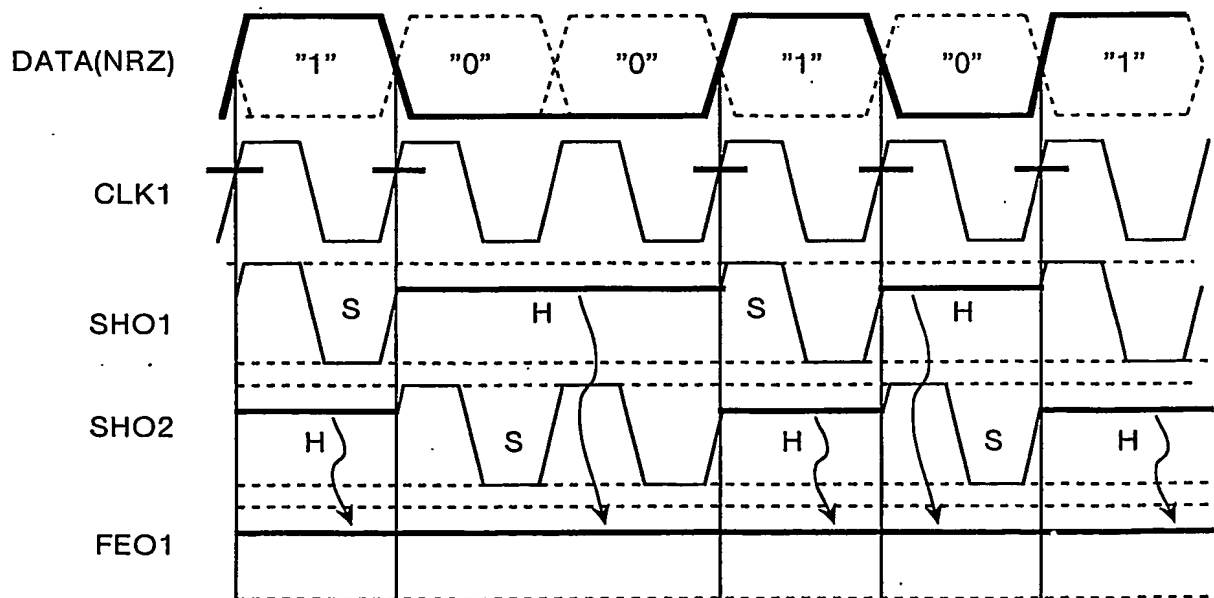
第13図



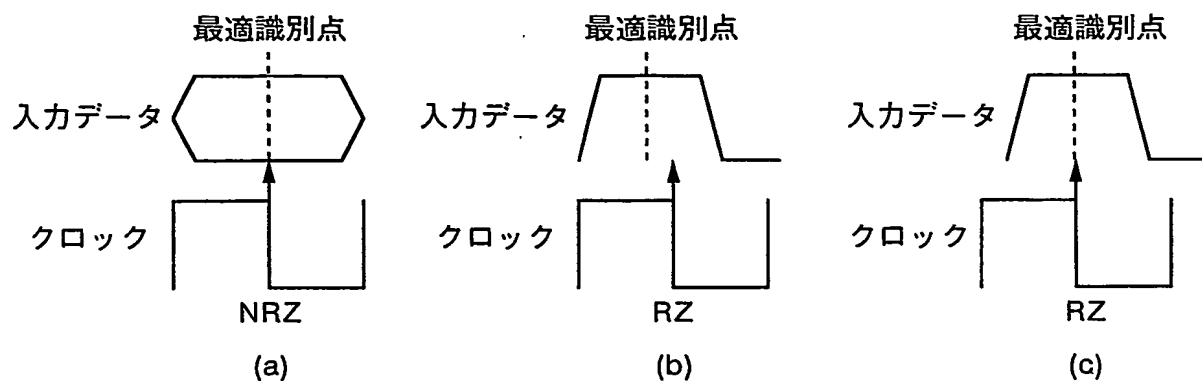
第14図



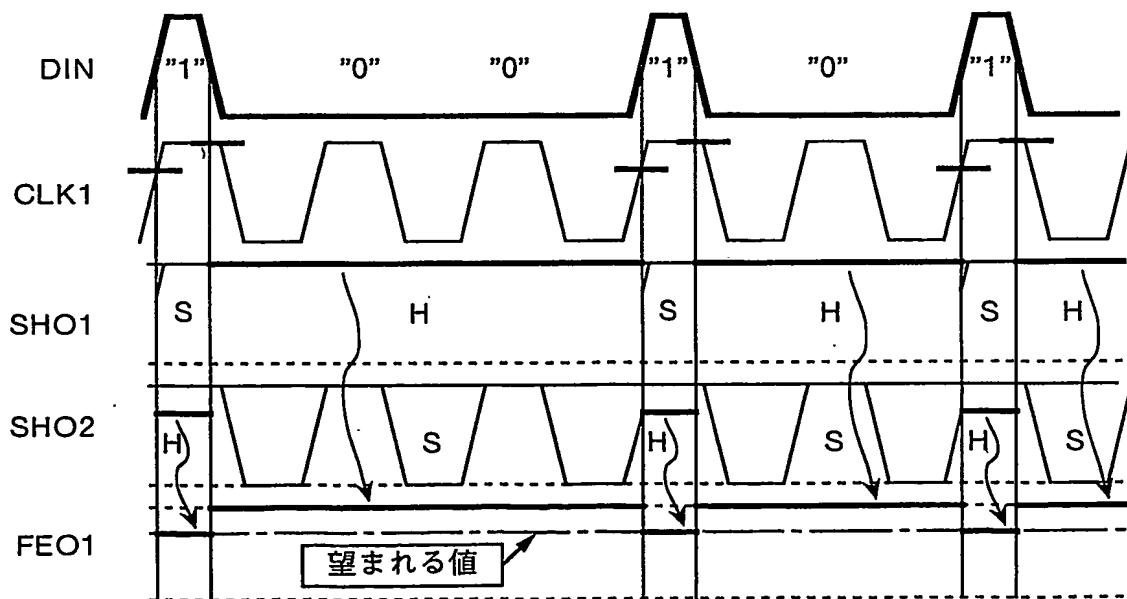
第15図



## 第16図



## 第17図





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05584

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H04L7/033, H03L7/08

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H04L7/033, H03L7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 10-145348 A (NEC Corp.), 29 May, 1998 (29.05.98), Fig. 2, and explanations thereof & EP 829983 A2 & US 6154511 A	1 2-10 11, 12
Y	JP 2001-210020 A (Hitachi, Ltd.), 03 August, 2001 (03.08.01), Fig. 1, and explanations thereof & US 2001/0010670 A1	2-4, 8-10
Y	JP 61-114628 A (Fujitsu Ltd.), 02 June, 1986 (02.06.86), Fig. 4, and explanations thereof (Family: none)	5-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
06 August, 2003 (06.08.03)

Date of mailing of the international search report  
19 August, 2003 (19.08.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05584

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-327068 A (NEC Corp.), 08 December, 1998 (08.12.98), Fig. 1, and explanation thereof & US 6236696 B1	4, 7, 10
A	JP 61-171320 U (NEC Corp.), 24 October, 1986 (24.10.86), Full text (Family: none)	11, 12

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H 0 4 L 7 / 0 3 3, H 0 3 L 7 / 0 8

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H 0 4 L 7 / 0 3 3, H 0 3 L 7 / 0 8

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国実用新案登録公報 1996-2003年  
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 10-145348 A (日本電気株式会社) 1998. 05. 29, 第2図とその説明を参照	1
Y	& E P 829983 A2 & US 6154511 A	2-10
A		11, 12
Y	J P 2001-210020 A (株式会社日立製作所) 2001. 08. 03, 第1図とその説明を参照 & US 2001/0010670 A1	2-4, 8-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

06.08.03

国際調査報告の発送日

19.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿 部 弘

5 K

9382

電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 61-114628 A (富士通株式会社) 1986. 0 6. 02, 第4図とその説明を参照 (ファミリーなし)	5-7
Y	J P 10-327068 A (日本電気株式会社) 1998. 1 2. 08, 第1図とその説明を参照 &US 6236696 B1	4, 7, 10
A	J P 61-171320 U (日本電気株式会社) 1986. 1 0. 24, 全文を参照 (ファミリーなし)	11, 12